

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-231044

(43)Date of publication of application : 29.08.1995

(51)Int.Cl.

H01L 21/8238
H01L 27/092
H01L 21/8242
H01L 27/108
H01L 21/8244
H01L 27/11

(21)Application number : 06-021172

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.02.1994

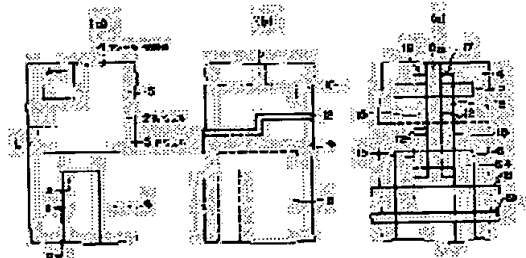
(72)Inventor : GOTO HIROSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce a silicide forming area for the continuity between a dual gate structure p-type impurity area and an n-type impurity area by providing the manufacture of a semiconductor device comprising a complementary field effect transistor.

CONSTITUTION: The silicide forming area on a semiconductor layer 9 formed of silicon is covered with an oxidation-resistant side wall 12 formed by self-alignment, separately implant p-type and n-type impurities by using the oxidation-resistant side wall 12 as a part of a mask, and dual gate patterns 16 and 17 are formed by patterning the semiconductor layer 9. Then, the surfaces of the dual gate patterns 16 and 17 are oxidized using the oxidation-resistant side wall 12 as a mask, and the exposing surface of the semiconductor layer 9 is silicified by selectively removing the oxidation-resistant side wall 12.



LEGAL STATUS

[Date of request for examination] 16.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3238820

[Date of registration] 05.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

. decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-231044

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8238 27/092 21/8242		9170-4M 9170-4M	H 0 1 L 27/ 08 3 2 1 F 3 2 1 D	
審査請求 未請求 請求項の数19 O L (全 15 頁) 最終頁に続く				

(21)出願番号 特願平6-21172

(22)出願日 平成6年(1994)2月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 後藤 広志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

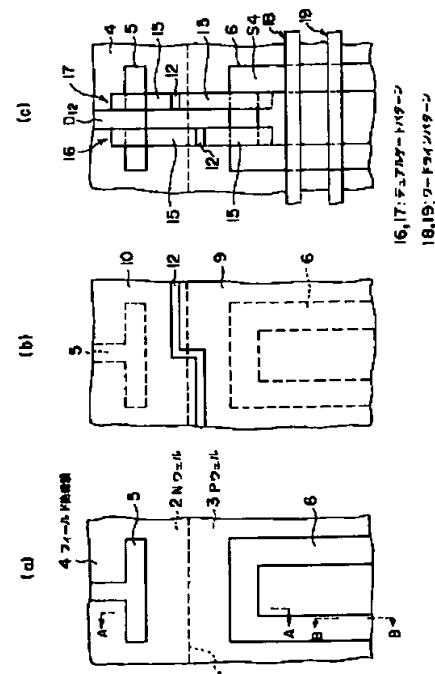
(74)代理人 弁理士 岡本 啓三

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】相補型電界効果トランジスタを有する半導体装置の製造方法に関し、デュアルゲート構造のp型不純物領域とn型不純物領域を導通させるためのシリサイド形成領域を小さくすることを目的とする。

【構成】自己整合的に形成された耐酸化性サイドウォール12によってシリコンよりなる半導体層9のシリサイド形成領域を覆い、この耐酸化性サイドウォール12をマスクの一部に使用してp型及びn型の不純物を打ち分け、さらに半導体層9をパターンニングしてデュアルゲートパターン16、17を形成した後に、耐酸化性サイドウォール12をマスクに使用してデュアルゲートパターン16、17の表面を酸化し、ついで耐酸化性サイドウォール12を選択的に除去することにより露出した半導体層9の表面をシリサイド化する工程を含む。



【特許請求の範囲】

【請求項 1】第一導電型不純物を含む第一の半導体層

(2) の表面にフィールド絶縁膜 (4) を形成して第一の活性領域 (5) を区画し、かつ、第二導電型不純物を含む第二の半導体層 (3) の表面に該フィールド絶縁膜 (4) を形成して第二の活性領域 (6) を区画する工程と、

前記第一の活性領域 (5) にある前記第一の半導体層 (2) と前記第二の活性領域 (6) にある前記第二の半導体層 (3) の表面のそれぞれにゲート絶縁膜 (7, 8) を形成する工程と、

前記ゲート絶縁膜 (7, 8) 及び前記フィールド絶縁膜 (4) の上に不純物を含まない第三の半導体層 (9) を形成する工程と、

前記第三の半導体層 (9) の上に第二導電型不純物を含む第一の絶縁膜 (10) を形成する工程と、

前記第一の絶縁膜 (10) をパターンニングすることにより、前記第二の活性領域 (6) の前記半導体層 (3) の表面を露出するとともに前記第一の絶縁膜 (10) の縁部が前記第一の活性領域 (5) と前記第二の活性領域 (6) の間に位置するパターンを形成する工程と、

パターンニングされた前記第一の絶縁膜 (10) と前記半導体層 (3) の上に耐酸化性の第二の絶縁膜 (11) を形成する工程と、

前記第二の絶縁膜 (11) を異方性エッチングして前記第一の絶縁膜 (10) の側方に選択的に残存させて耐酸化性サイドウォール (12, 12a) を形成する工程と、

前記第一の絶縁膜 (10) 及び前記耐酸化性サイドウォール (12, 12a) をマスクに使用して、前記第二の活性領域 (6) の前記第三の半導体層 (9) に第一導電型不純物を導入する工程と、

前記第一の絶縁膜 (10) 内の第二導電型不純物をその下の前記第三の半導体層 (9) に拡散し、かつ前記第三の半導体層 (9) 内の第二導電型不純物を活性化する工程と、

前記第三の半導体層 (9) の表面を熱酸化して絶縁膜 (15) を形成する工程と、

前記耐酸化性サイドウォール (12, 12a) を除去して前記第三の半導体層 (9) の表面の一部を露出する工程と、

前記第三の半導体層 (9) とその上の層をパターンニングして第一の活性領域 (5) の上から第二活性領域 (6) の上に至る範囲に MOS トランジスタのゲート電極となるゲート用導電性パターン (16, 17) を形成する工程と、

前記半導体層の表面にシリサイド層 (26a, 26b) を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】前記ゲート用導電性パターン (16, 1

7) をマスクにして前記第一の活性領域 (5) にある前記第一の半導体層 (2) に第二導電型不純物をイオン注入、拡散することにより、第一及び第二の MOS トランジスタ (Q_1 , Q_2) のソース領域 (S_1 , S_2) 及び第二導電型ドレイン領域 (D_{12}) を形成する工程と、前記ゲート用導電性パターン (16, 17) をマスクにして前記第二の活性領域 (6) にある前記第二の半導体層 (3) に第一導電型不純物をイオン注入、拡散することにより、第三及び第四の MOS トランジスタ (Q_3 , Q_4) のソース領域 (S_3 , S_4) 及びドレイン領域 (D_{34}) を形成する工程とを有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】前記ゲート用導電性パターン (16, 17) の側壁には絶縁性サイドウォール (21) が形成され、前記第一導電型不純物及び第二導電型不純物は、該絶縁性サイドウォール (21) の形成前と形成後に 2 度イオン注入されることにより前記ソース領域 (S_1 , S_2 , S_3 , S_4) 及び前記ドレイン領域 (D_{12} , D_{34}) は L D D 構造を有していることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】前記耐酸化性サイドウォール (12a) を形成する前に第二の絶縁膜 (11) の上に第三の絶縁膜 (40) を形成し、該第三の絶縁膜 (40) を異方性エッチングすることにより、前記第二の絶縁膜 (11) のうち前記第一の絶縁膜 (10) の縁部に沿った段部の側面に該第三の絶縁膜 (40) を選択的に残存させる工程と、

前記第三の絶縁膜 (40) のパターンをマスクにして前記第二の絶縁膜 (11) を異方性エッチングすることにより、前記第一の絶縁膜 (10) の縁部から前記第三の絶縁膜 (40) に至る領域に前記第二の絶縁膜 (11) からなる耐酸化性サイドウォール (12a) を形成する工程とを有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】前記ゲート用導電パターン (16, 17) は間隔をおいて 2 つ形成され、前記ゲート用導電パターン (16, 17) 及び前記第一及び第二の活性領域 (5, 6) を前記シリサイド層 (26a, 26b) の材料と異なる導電膜 (24) によって覆う工程と、一方の前記ゲート用導電膜パターン (16) 上のシリサイド層 (26a) から他方の前記ゲート用導電膜パターン (17) 上の絶縁膜 (15) を跨いで他方の前記ゲート用導電膜パターン (27) の一側方の前記第一及び第二の活性領域 (5, 6) まで引き出される第一の配線 (27) と、他方の前記ゲート用導電膜パターン (17) の上のシリサイド層 (26b) から一方の前記ゲート用導電膜パターン (16) の上の絶縁膜 (15) を跨いで一方の前記ゲート用導電膜パターン (16) の側方の前記第一及び第二の活性領域 (5, 6) まで引き出される第二の配線 (28) を形成する工程とを有することを

特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】前記導電膜(24)をパターニングする際に、前記第一又は第二の活性領域(5, 6)のうち上部配線(36)が接続される領域とその周辺に前記導電膜よりなるコンタクトパッド(32)を形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記第一の活性領域(5)において、2つの前記ゲート用導電パターン(16, 17)の両側の第一の半導体層(2)の表層に形成されるソース領域(S_1 , S_2)、ドレイン領域(D_{12})と前記ゲート用導電パターン(16, 17)とによって第一及び第二のMOSトランジスタ(Q_1 , Q_2)が構成され、前記第二の活性領域(6)において、2つの前記ゲート用導電パターン(16, 17)の両側の半導体層(3)の表層に形成されるソース領域(S_3 , S_4)、ドレイン領域(D_{34})と前記ゲート用導電パターン(16, 17)とによって第一導電型のMOSトランジスタ(Q_3 , Q_4)が形成され、

前記第一及び第二の配線(27, 28)により前記第一〜第四のMOSトランジスタ(Q_1 , Q_2 , Q_3 , Q_4)によりSRAMセルのフリップフロップ回路が形成されることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】前記第三の半導体層(9)は、多結晶シリコン又は非晶質シリコンのいずれかであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】前記シリサイド層(26a, 26b)は、シリサイドにより形成されたチタンシリコン、コバルトシリコン、ニッケルシリコンであること特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】前記シリサイド層(26a, 26b)は、高融点金属との合金であること特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】第一導電型不純物を含む第一の半導体層(2, 3)の表面にフィールド絶縁膜(4)を形成して第一の活性領域(5)と第二の活性領域(6)を区画する工程と、

前記第一及び第二の活性領域(5, 6)と前記フィールド絶縁膜(4)の上にシリコン層(9)を形成する工程と、

前記シリコン層(9)に不純物を導入する工程と、前記シリコン層(9)の表面に第一の絶縁膜(15)を形成し、前記第一の活性領域(5)と前記第二の活性領域(6)の間の領域で該第一の絶縁膜(15)の一部に開口部(23)を形成する工程と、

前記シリコン層(9)をパターニングすることにより、前記開口部(23)を有し且つ前記第一の活性領域(5)と前記第二の活性領域(6)に形成される2つのMOSトランジスタ(Q_1 , Q_3)のゲート電極用パターン(16)を一体的に形成する工程と、

前記開口部(23)内の前記シリコン層(9)の表面と前記ゲート電極用パターン(16)の両側方の前記第一及び第二の活性領域(5, 6)の表面とにシリサイド層(26a, 26c, 26d, 26g, 26f)を形成する工程と、

前記シリサイド層(26a, 26c, 26d, 26g, 26f)と異なる材料からなる導電膜(24)を形成する工程と、

前記導電膜(24)をパターニングすることによって、前記ゲート電極用パターン(16)の上のシリサイド層(26a)に接続される第一の配線(28)と、前記第一の活性領域(5)のシリサイド層(26d)に接続される第二の配線(27)と、前記第二の活性領域(6)のシリサイド層(26g)に接続される第三の配線(27)を形成し、同時に、前記第一及び第二の活性領域(5, 6)の上に形成されるコンタクトホール(35)の形成領域及びその周辺にコンタクトパッド層(32)を形成する工程とを有することを特徴とする半導体装置の製造方法。

20 【請求項12】前記シリサイド層(26a, 26c, 26d, 26g, 26f)は、シリサイドによって形成されることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】前記導電膜(24)はタングステン、窒化チタン、チタンタングステン、ポリサイド、シリサイドにより構成されていることを特徴とする請求項5又は10記載の半導体装置の製造方法。

30 【請求項14】前記ゲート電極用パターン(16)は、第一導電型不純物含有領域(13)と第二導電型不純物含有領域(14)を有し、前記ゲート電極用パターン(16)上のシリサイド層(26a)は該第一導電型不純物含有領域(13)と該第二導電型不純物含有領域(14)を短絡していることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項15】半導体層(2, 3)のうち第一の活性領域(5)と第二の活性領域(6)を囲むフィールド酸化膜(4)と、前記第一の活性領域(5)と前記第二の活性領域(6)の上に形成され、かつ一体化されたゲート電極用パターン(16)と、

40 前記ゲート電極用パターン(16)の上の一部に形成されたシリサイド層(26a)と、

前記ゲート電極用パターン(16)の上に形成されたシリサイド層(26a)から前記第一及び第二の活性領域(5, 6)に延在する配線(28)と、

前記配線(28)を構成する導電膜(24)から形成され、かつ、前記第一の活性領域(5)、前記第二の活性領域(6)のうち前記導電膜(24)よりも上層に形成される配線との接続部分とその周辺に形成されたコンタクトパッド(32)とを有することを特徴とする半導体

装置。

【請求項16】半導体層(2, 3)のうち活性領域(5, 6)を囲むフィールド酸化膜(4)と、前記活性領域(5, 6)にある前記半導体層(2, 3)の表面に形成されたゲート絶縁膜(7, 8)と、前記ゲート絶縁膜(7, 8)の上に形成されて前記活性領域(5, 6)内から外部に延びるゲート電極パターン(16, 17)と、前記ゲート電極パターン(16, 17)の上の一部に形成されたシリサイド層(26a, 26b)と、前記ゲート電極パターン(16, 17)上のシリサイド層(26a, 26b)に接続される配線(27, 28)と、

前記配線(27, 28)を構成する導電膜(24)から形成され、かつ、前記活性領域(5, 6)のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド(32)とを有することを特徴とする半導体装置。

【請求項17】半導体層(2, 3)のうち第一の活性領域(5)と第二の活性領域(6)を囲むフィールド酸化膜(4)と、前記第一の活性領域(5)と前記第二の活性領域(6)の前記半導体層(2, 3)の表面のそれぞれ形成されたゲート絶縁膜(7, 8)と、前記ゲート絶縁膜(7, 8)及び前記フィールド酸化膜(4)の上に並列に形成された第一のゲート電極パターン(16)及び第二のゲート電極パターン(17)と、前記第一及び第二のゲート電極パターン(16, 17)のそれぞれの表面を覆う絶縁膜(15)の開口部(23)内に形成されたシリサイド層(26a, 26b)と、

前記第一のゲート電極パターン(16)の上に形成されたシリサイド層(26a)から前記第二のゲート電極パターン(17)を跨いで前記第一の活性領域(5)の不純物拡散層(S_1 , S_2)に接続される第一の配線層(28)と、

前記第二のゲート電極パターン(17)の上に形成されたシリサイド層(26b)から前記第一のゲート電極パターン(16)を跨いで前記第二の活性領域(6)の不純物拡散層(S_3 , S_4)に接続される第二の配線層(6)と、

前記第一及び第二の配線(27, 28)を構成する導電膜(24)から形成され、かつ、前記活性領域(5, 6)のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド(32)とを有することを特徴とする半導体装置。

【請求項18】前記シリサイド層(26a, 26b)は、シリサイドにより形成されることを特徴とする請求項15又は16記載の半導体装置の製造方法。

【請求項19】前記導電膜(24)は、タングステン、窒化チタン、チタンタングステン、ポリサイド、シリサ

イドにより構成されていることを特徴とする請求項5又は15又は16記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、相補型電界効果トランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】SRAMセルとして6個のMOSトランジスタを使用したものがあり、例えば図9に示すような回路構成となっている。即ち、そのSRAMセルは、pチャネル負荷トランジスタ Q_1 、 Q_2 とnチャネル駆動トランジスタ Q_3 、 Q_4 からなる2つのCMOSインバータを有している。一方のCMOSインバータを構成する負荷トランジスタ Q_1 と駆動トランジスタ Q_3 の各ゲートは他方のCMOSインバータの駆動トランジスタ Q_4 のドレインに接続され、また、同じように他方のCMOSインバータを構成する負荷トランジスタ Q_2 と駆動トランジスタ Q_4 の各ゲートは他方のCMOSインバータの駆動トランジスタ Q_3 のドレインに接続される。さらに、2つの駆動トランジスタ Q_3 、 Q_4 の各ドレインはnチャネル転送トランジスタ Q_5 、 Q_6 の2つのソース/ドレインを介してビットラインBL、反転信号BL(以下、BLバーという)に接続されている。なお、“ソース/ドレイン”という場合には、ソース、ドレインのいずれの機能を有する部分を指す(以下の説明でも同様である)。

【0003】さらに、2つの負荷トランジスタ Q_1 、 Q_2 の各ソースには電圧 V_{cc} が印加され、2つの駆動トランジスタ Q_3 、 Q_4 の各ソースには電圧 V_{ss} が印加されている。さらに、2つの転送トランジスタ Q_5 、 Q_6 の各ゲートにはワードラインWLが接続されている。このようなSRAMセルの平面的な構成は例えば次の文献に記載されている。

【0004】(1)THOMAS E. TANG et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol., ED-34, No.3, March 1987, pp.682-688

この半導体装置は、図10に示すように、負荷トランジスタ Q_1 、 Q_2 となる第一及び第二のp型トランジスタ T_1 、 T_2 が略C字形の第一の活性領域101に形成され、また、駆動トランジスタ Q_3 、 Q_4 と転送トランジスタ Q_5 、 Q_6 となる第一から第四のn型トランジスタ $T_3 \sim T_6$ がL字形の第二、第三の活性領域102、103の4つの直線部分にそれぞれに形成されている。

【0005】第一のp型トランジスタ T_1 と第一のn型トランジスタ T_3 のそれぞれのゲート電極は、配線を兼ねた第一の導電パターン104により構成されている。第二のp型トランジスタ T_2 と第二のn型トランジスタ T_4 の各ゲート電極も、配線を兼ねる第二の導電パターン105により構成されている。また、第一のp型トランジ

スタ T_1 のドレイン領域は第三の導電パターン106を介して第一のn型トランジスタ T_3 のドレイン領域に電氣的に接続され、さらに、第二のp型トランジスタ T_2 と第二のn型トランジスタ T_4 のそれらのドレイン領域同士は第四の導電パターン107を介して互いに接続されている。

【0006】これらにより2組のCMOSインバータが構成される。また、第一の導電パターン104の側部から延びる配線104Aは、第四の導電パターン107に接続され、さらに、第二の導電パターン105も同様に第三の導電パターン106に接続されている。これらによりCMOSインバータのクロスカップリングがなされている。第二及び第三の活性領域102, 103を通るワード線WLは、第三及び第四のn型トランジスタ T_5 , T_6 のゲート電極を兼ねている。

【0007】なお、第一の活性領域101にはゲート電極の両側にp型不純物拡散層が形成され、また、第二及び第三の活性領域102, 103のうちゲート電極の両側にはn型不純物拡散層が形成されている。さらに、第三、第四のn型トランジスタ T_5 , T_6 のうち第一、第二のn型トランジスタ T_3 , T_4 に接続しないソース/ドレイン領域には図示しないビット線が接続される。

【0008】ところで、CMOSインバータを構成するp型トランジスタ T_1 , T_2 の短チャネル効果を抑制するためにp型トランジスタ T_1 , T_2 に表面チャネル型を採用することが検討されている。この場合、pチャネルトランジスタのゲート電極はp型不純物ドーパントシリコンが一般に用いられる。従って、CMOSを構成するp型トランジスタとn型トランジスタを接続するためのシリコンよりなるゲート電極は、p型不純物導入領域とn型不純物導入領域を有するデュアルゲート構造となり、これらの領域の境界を金属やシリサイド等を介して接続する必要がある。

【0009】そのデュアルゲート構造は、フォトマスクを使ってp型不純物とn型不純物を打ち分け、p型不純物領域とn型不純物領域の境界部分をシリサイドで接続させることが行われている。それらのデュアルゲート構造については、例えば次の文献に示されている。

(2)Wen-Hsing Chang et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.39, No.4, APRIL 1992, pp.959-966

(3)BiJan Davari et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.39, No.4, APRIL 1992, pp.967-975

【0010】

【発明が解決しようとする課題】しかし、半導体装置をさらに高密度化するためには、そのシリサイドの面積をできるだけ小さくしてデュアルゲート構造を縮小化する必要がある、これについては未だ検討されていない。また、半導体装置の微細化にともなってビット線、電源配線を接続するためのコンタクトホール10の位置合わせ精度

を上げる必要がある。その位置合わせ余裕を確保するために、例えばMOSトランジスタのソース領域又はドレイン領域とその周辺に開口部パッド層を設けてその上に、ビット線や電源配線などを接続するセルフアラインコンタクトが(4)特開平2-2139号公報に記載されている。

【0011】しかし、セルフアラインコンタクトを図るために開口部パッド層を金属膜により形成する場合、デュアルゲート表面のシリサイド層を露出させた状態で開口部パッド層となる金属膜を成長することはゲートとソース、ドレインとの短絡をもたすため許されないという問題がある。本発明はこのような問題に鑑みてなされたものであって、デュアルゲート構造のp型不純物領域とn型不純物領域を導通させるためのシリサイド形成領域を小さくし、しかも、そのシリサイドと短絡することなく電源配線やビット線の接続用の開口部パッド層を形成することができる半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

(1)上記した課題は、図1～6に例示するように、第一導電型不純物を含む第一の半導体層2の表面にフィールド絶縁膜4を形成して第一の活性領域5を区画し、かつ、第二導電型不純物を含む第二の半導体層3の表面に該フィールド絶縁膜4を形成して第二の活性領域6を区画する工程と、前記第一の活性領域5にある前記第一の半導体層2と前記第二の活性領域6にある前記第二の半導体層3の表面のそれぞれにゲート絶縁膜7, 8を形成する工程と、前記ゲート絶縁膜7, 8及び前記フィールド絶縁膜4の上に不純物を含まない第三の半導体層9を形成する工程と、前記第三の半導体層9の上に第二導電型不純物を含む第一の絶縁膜10を形成する工程と、前記第一の絶縁膜10をパターニングすることにより、前記第二の活性領域6の前記半導体層3の表面を露出するとともに前記第一の絶縁膜10の縁部が前記第一の活性領域5と前記第二の活性領域6の間に位置するパターンを形成する工程と、パターニングされた前記第一の絶縁膜10と前記半導体層3の上に耐酸化性の第二の絶縁膜11を形成する工程と、前記第二の絶縁膜11を異方性エッチングして前記第一の絶縁膜10の側方に選択的に残存させて耐酸化性サイドウォール12, 12aを形成する工程と、前記第一の絶縁膜10及び前記耐酸化性サイドウォール12, 12aをマスクに使用して、前記第二の活性領域6の前記第三の半導体層9に第一導電型不純物を導入する工程と、前記第一の絶縁膜10内の第二導電型不純物をその下の前記第三の半導体層9に拡散し、かつ前記第三の半導体層9内の第二導電型不純物を活性化する工程と、前記第三の半導体層9の表面を熱酸化して絶縁膜15を形成する工程と、前記耐酸化性サイドウォール12, 12aを除去して前記第三の半導体層

9の表面の一部を露出する工程と、前記第三の半導体層9とその上の層をパターンニングして第一の活性領域5の上から第二活性領域6の上に至る範囲にMOSトランジスタのゲート電極となるゲート用導電性パターン16、17を形成する工程と、前記半導体層の表面にシリサイド層26a、26bを形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0013】(2) 前記ゲート用導電性パターン16、17をマスクにして前記第一の活性領域5にある前記第一の半導体層2に第二導電型不純物をイオン注入、拡散することにより、第一及び第二のMOSトランジスタQ₁、Q₂のソース領域S₁、S₂及び第二導電型ドレイン領域D₁₂を形成する工程と、前記ゲート用導電性パターン16、17をマスクにして前記第二の活性領域6にある前記第二の半導体層3に第一導電型不純物をイオン注入、拡散することにより、第三及び第四のMOSトランジスタQ₃、Q₄のソース領域S₃、S₄及びドレイン領域D₃₄を形成する工程とを有することを特徴とする(1)の半導体装置の製造方法により解決する。

【0014】(3) 前記ゲート用導電性パターン16、17の側壁には絶縁性サイドウォール21が形成され、前記第一導電型不純物及び第二導電型不純物は、該絶縁性サイドウォール21の形成前と形成後に2度イオン注入されることにより前記ソース領域S₁、S₂、S₃、S₄及び前記ドレイン領域D₁₂、D₃₄はLDD構造を有していることを特徴とする(2)の半導体装置の製造方法により解決する。

【0015】(4) 前記耐酸化性サイドウォール12aを形成する前に第二の絶縁膜11の上に第三の絶縁膜40を形成し、該第三の絶縁膜40を異方性エッチングすることにより、前記第二の絶縁膜11のうち前記第一の絶縁膜10の縁部に沿った段部の側面に該第三の絶縁膜40を選択的に残存させる工程と、前記第三の絶縁膜40のパターンをマスクにして前記第二の絶縁膜11を異方性エッチングすることにより、前記第一の絶縁膜10の縁部から前記第三の絶縁膜40に至る領域に前記第二の絶縁膜11からなる耐酸化性サイドウォール12aを形成する工程とを有することを特徴とする(1)の半導体装置の製造方法により解決する。

【0016】(5) 前記ゲート用導電パターン16、17は間隔をおいて2つ形成され、前記ゲート用導電パターン16、17及び前記第一及び第二の活性領域5、6を前記シリサイド層26a、26bの材料と異なる導電膜24によって覆う工程と、一方の前記ゲート用導電膜パターン16上のシリサイド層26aから他方の前記ゲート用導電膜パターン17上の絶縁膜15を跨いで他方の前記ゲート用導電膜パターン27の一方の前記第一及び第二の活性領域5、6まで引き出される第一の配線27と、他方の前記ゲート用導電膜パターン17の上のシリサイド層26bから一方の前記ゲート用導電膜パ

ーン16の上の絶縁膜15を跨いで一方の前記ゲート用導電膜パターン16の側方の前記第一及び第二の活性領域5、6まで引き出される第二の配線28を形成する工程を有することを特徴とする(1)の半導体装置の製造方法により解決する。

【0017】(6) 前記導電膜24をパターンニングする際に、前記第一又は第二の活性領域5、6のうち上部配線36が接続される領域とその周辺に前記導電膜よりなるコンタクトパッド32を形成することを特徴とする

(5)の半導体装置の製造方法により解決する。

(7) 前記第一の活性領域5において、2つの前記ゲート用導電パターン16、17の両側の第一の半導体層2の表層に形成されるソース領域S₁、S₂、ドレイン領域D₁₂と前記ゲート用導電パターン16、17とによって第一及び第二のMOSトランジスタQ₁、Q₂が構成され、前記第二の活性領域6において、2つの前記ゲート用導電パターン16、17の両側の半導体層3の表層に形成されるソース領域S₃、S₄、ドレイン領域D₃₄と前記ゲート用導電パターン16、17とによって第一導電型のMOSトランジスタQ₃、Q₄が形成され、前記第一及び第二の配線27、28により前記第一〜第四のMOSトランジスタQ₁、Q₂、Q₃、Q₄によりSRAMセルのフリップフロップ回路が形成されることを特徴とする(5)の半導体装置の製造方法により達成する。

【0018】(8) 前記第三の半導体層9は、多結晶シリコン又は非晶質シリコンのいずれかであることを特徴とする(1)の半導体装置の製造方法により達成する。

(9) 前記シリサイド層26a、26bは、シリサイドにより形成されたチタンシリコン、コバルトシリコン、ニッケルシリコンであること特徴とする(1)の半導体装置の製造方法により達成する。

【0019】(10) 前記シリサイド層26a、26bは、高融点金属との合金であること特徴とする(1)の半導体装置の製造方法により解決する。

(11) 第一導電型不純物を含む第一の半導体層2、3の表面にフィールド絶縁膜4を形成して第一の活性領域5と第二の活性領域6を区画する工程と、前記第一及び第二の活性領域5、6と前記フィールド絶縁膜4の上にシリコン層9を形成する工程と、前記シリコン層9に不純物を導入する工程と、前記シリコン層9の表面に第一の絶縁膜15を形成し、前記第一の活性領域5と前記第二の活性領域6の間の領域で該第一の絶縁膜15の一部に開口部23を形成する工程と、前記シリコン層9をパターンニングすることにより、前記開口部23を有し且つ前記第一の活性領域5と前記第二の活性領域6に形成される2つのMOSトランジスタQ₁、Q₃のゲート電極用パターン16を一体的に形成する工程と、前記開口部23内の前記シリコン層9の表面と前記ゲート電極用パターン16の両側方の前記第一及び第二の活性領域5、

6の表面とシリサイド層26a, 26c, 26d, 26g, 26fを形成する工程と、前記シリサイド層26a, 26c, 26d, 26g, 26fと異なる材料からなる導電膜24を形成する工程と、前記導電膜24をパターンニングすることによって、前記ゲート電極用パターン16の上のシリサイド層26aに接続される第一の配線28と、前記第一の活性領域5のシリサイド層26dに接続される第二の配線27と、前記第二の活性領域6のシリサイド層26gに接続される第三の配線27を形成し、同時に、前記第一及び第二の活性領域5, 6の上に形成されるコンタクトホール35の形成領域及びその周辺にコンタクトパッド層32を形成する工程とを有することを特徴とする半導体装置の製造方法により達成する。

【0020】(12) 前記シリサイド層26a, 26c, 26d, 26g, 26fは、シリサイドによって形成されることを特徴とする(10)の半導体装置の製造方法により解決する。

(13) 前記導電膜24はタングステン、窒化チタン、チタンタングステン、ポリサイド、シリサイドにより構成されていることを特徴とする(5)又は(10)の半導体装置の製造方法により解決する。

【0021】(14) 前記ゲート電極用パターン16は、第一導電型不純物含有領域13と第二導電型不純物含有領域14を有し、前記ゲート電極用パターン16上のシリサイド層26aは該第一導電型不純物含有領域13と該第二導電型不純物含有領域14を短絡していることを特徴とする(10)の半導体装置の製造方法により解決する。

【0022】(15) 半導体層2, 3のうち第一の活性領域5と第二の活性領域6を囲むフィールド酸化膜4と、前記第一の活性領域5と前記第二の活性領域6の上に形成され、かつ一体化されたゲート電極用パターン16と、前記ゲート電極用パターン16の上の一部に形成されたシリサイド層26aと、前記ゲート電極用パターン16の上に形成されたシリサイド層26aから前記第一及び第二の活性領域5, 6に延在する配線28と、前記配線28を構成する導電膜24から形成され、かつ、前記第一の活性領域5、前記第二の活性領域6のうち前記導電膜24よりも上層に形成される配線との接続部分とその周辺に形成されたコンタクトパッド32とを有することを特徴とする半導体装置により解決する。

【0023】(16) 半導体層2, 3のうち活性領域5, 6を囲むフィールド酸化膜4と、前記活性領域5, 6にある前記半導体層2, 3の表面に形成されたゲート絶縁膜7, 8と、前記ゲート絶縁膜7, 8の上に形成されて前記活性領域5, 6内から外部に延びるゲート電極パターン16, 17と、前記ゲート電極パターン16, 17の上の一部に形成されたシリサイド層26a, 26bと、前記ゲート電極パターン16, 17上のシリサイ

ド層26a, 26bに接続される配線27, 28と、前記配線27, 28を構成する導電膜24から形成され、かつ、前記活性領域5, 6のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド32とを有することを特徴とする半導体装置により解決する。

【0024】(17) 半導体層2, 3のうち第一の活性領域5と第二の活性領域6を囲むフィールド酸化膜4と、前記第一の活性領域5と前記第二の活性領域6の前記半導体層2, 3の表面のそれぞれ形成されたゲート絶縁膜7, 8と、前記ゲート絶縁膜7, 8及び前記フィールド酸化膜4の上に並列に形成された第一のゲート電極パターン16及び第二のゲート電極パターン17と、前記第一及び第二のゲート電極パターン16, 17のそれぞれの表面を覆う絶縁膜15の開口部23内に形成されたシリサイド層26a, 26bと、前記第一のゲート電極パターン16の上に形成されたシリサイド層26aから前記第二のゲート電極パターン17を跨いで前記第一の活性領域5の不純物拡散層S₁, S₂に接続される第一の配線層28と、前記第二のゲート電極パターン17の上に形成されたシリサイド層26bから前記第一のゲート電極パターン16を跨いで前記第二の活性領域6の不純物拡散層S₃, S₄に接続される第二の配線層6と、前記第一及び第二の配線27, 28を構成する導電膜24から形成され、かつ、前記活性領域5, 6のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド32とを有することを特徴とする半導体装置により解決する。

【0025】または、前記シリサイド層26a, 26bは、シリサイドにより形成されることを特徴とする(15)又は(16)の半導体装置の製造方法により解決する。

(19) 前記導電膜24は、タングステン、窒化チタン、チタンタングステン、ポリサイド、シリサイドにより構成されていることを特徴とする(5)又は(15)又は(16)記載の半導体装置の製造方法により解決する。

【0026】

【作 用】本発明によれば、自己整合的に形成された耐酸化性サイドウォールによってシリコンよりなる半導体層のシリサイド形成領域を覆い、この耐酸化性サイドウォールをマスクの一部に使用してp型及びn型の不純物を打ち分け、さらに半導体層をパターンニングしてデュアルゲートパターンを形成した後に、耐酸化性サイドウォールをマスクに使用してデュアルゲートパターンの表面を酸化し、ついで耐酸化性サイドウォールを選択的に除去することにより露出した半導体層の表面をシリサイド化するようにしている。

【0027】したがって、デュアルゲートにおいて、シリサイド化する領域の幅は極めて狭くなるので、デュアルゲートの縮小化が可能になり、SRAMセルの微細化

がさらに進むことになる。しかも、半導体層に不純物イオンを注入する際に使用するマスクの一部や、半導体層の表面の一部を熱酸化する際に使用する耐酸化性マスクとして、自己整合的に形成される耐酸化性サイドウォールを使用しているため、フォトリソグラフィによりマスクを形成する場合に比べてスループットが向上する。

【0028】また、別の本発明によれば、活性領域のうちコンタクトホールを形成しようとする領域に配置されるコンタクトパッドは、活性領域に形成されるMOSトランジスタのゲート電極パターンの表面に現れるシリサイド層に接続される配線を構成する導電膜から形成している。その時、コンタクトパッドとシリサイド層は所定の距離だけ離隔されているので、両者が短絡する危険が回避されており、しかも、コンタクトパッドを形成するために新たな工程を加える必要がない。

【0029】

【実施例】

(第1実施例) 以下に、本発明の実施例に係るCMOSインバータを備えたSRAMセルの製造工程を説明する。図1、図2は、SRAMセルの製造工程を示す平面図、図3～図5は、その製造工程を図1(a)のA-A線断面から見た製造工程を示す断面図、図6は、その製造工程を図1(a)のB-B線断面から見た製造工程を示す断面図である。

【0030】まず、MOSトランジスタが形成される活性領域を区画するまでの工程を説明する。図1(a)に示すように、シリコンよりなる半導体基板1には、Nウェル2とPウェル3が形成されている。そのNウェル2とPウェル3の表面には、 SiO_2 よりなるフィールド絶縁膜4が選択酸化法により形成されている。Nウェル2においては、そのフィールド絶縁膜4により平面が略T字形の第一の活性領域5が区画され、また、Pウェル3においては、フィールド絶縁膜4により平面が略U字形の第二の活性領域6が区画されている。第一及び第二の活性領域5、6は、U字の底部とT字の頭部が間隔をおいて向かい合うような位置関係となっている。

【0031】なお、以下の工程によって、第一の活性領域5には、図9に示すSRAMの負荷トランジスタ Q_1 、 Q_2 となるp型MOSトランジスタが2つ形成され、第二の活性領域6には駆動トランジスタ Q_3 、 Q_4 、転送トランジスタ Q_5 、 Q_6 となるn型MOSトランジスタが4つ形成されることになる。次に、CMOSインバータのデュアルゲート電極となる導電膜の形成工程に入る。図3(a)に示すように、第一及び第二の活性領域5、6から露出するNウェル2及びPウェル3の表面をフッ酸等により清浄化した後に、その表面を熱酸化して SiO_2 からなるゲート絶縁膜7、8を50～100Åの厚さに形成する。

【0032】続いて、フィールド絶縁膜4と第一及び第

二の活性領域5、6の上にCVD法により非晶質又は多結晶のシリコン層(半導体層)9を1500～2500Åの厚さに成長し、さらにBSG(boro-silicate glass)膜10を1000～4000Åの厚さに成長する。そのBSG膜10内にはp型不純物としてホウ素が $1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれている。

【0033】この後に、図3(b)に示すように、フォトリソグラフィ法によりBSG膜10をパターンニングし、Pウェル3が形成されている領域からBSG膜10を除去する。パターンニングされたBSG膜10の縁部は、Nウェル2とPウェル3の境界線Lを横切るような階段状の平面形状にする。続いて、図3(c)に示すように、CVD法によってBSG膜10とシリコン層9の上にシリコン窒化膜11を1000～2000Åの厚さに成長し、ついで、反応性イオンエッチング(RIE)法によりシリコン窒化膜11をほぼ垂直方向にエッチングする。そのエッチャントは例えばフロン系ガスである。

【0034】これにより、Nウェル2とPウェル3の境界線Lを横切るBSG膜10の縁の側面にシリコン窒化膜11を選択的に残存させる。このシリコン窒化膜10を耐酸化性及び絶縁性のサイドウォール12とする。これに伴い、そのBSG膜10の側方のサイドウォール12の平面形状は図1(b)に示すような階段状になる。続いて、BSG膜10及びサイドウォール12をマスクに使用して、Pウェル3側に存在するシリコン層9の上層部に砒素や燐のようなn型不純物をイオン注入する。さらに、シリコン層9に注入されたn型不純物を活性化し、かつBSG膜10内のホウ素をその下のシリコン層9に拡散するために、BSG膜10及びシリコン層9を900℃程度の温度で加熱する。これにより、BSG膜10の下のシリコン層9は不純物濃度 $1 \times 10^{20} \text{ atoms/cm}^3$ のp型不純物領域13となり、イオン注入された領域のシリコン層9は不純物濃度 $1 \times 10^{20} \text{ atoms/cm}^3$ のn型不純物領域14となる。この場合、シリコン層9のうちサイドウォール12に覆われている領域では、p型及びn型の不純物が拡散してpn接合が形成される。

【0035】続いて、図4(a)に示すように、緩衝フッ酸によってBSG膜10を選択的に除去した後に、サイドウォール12を耐酸化性マスクに使用してシリコン層9の表面を熱酸化して膜厚500～1000Åの SiO_2 膜(絶縁膜)15を形成する。この場合、サイドウォール12の下には SiO_2 膜15が形成されないため、ここには、 SiO_2 膜15の開口部23が同時に形成されることになる。

【0036】なお、この熱酸化の時に、前記したBSG膜10からのシリコン層9へのp型不純物の拡散とシリコン層9内のn型不純物の活性化を同時に行ってもよい。この場合には、BSG膜10は除去せずにそのままシリコン層9の上に残すことになる。次に、MOSトラ

ンジスタのデュアルゲートのパターンニング工程に入る。

【0037】図1(c)及び図4(b)に示すように、フォトリソグラフィ法によりシリコン層9とその上のSiO₂膜15及びサイドウォール12をパターンニングする。これにより、第一の活性領域5と第二の活性領域6を通る2つのストライプ状のデュアルゲートパターン16、17を分離して形成する。これらのストライプパターン16、17は、第一の活性領域5のT字の横線に対応する領域を直行して通過するとともに、第二の活性領域6のU字の下線に対応する領域を跨ぐように配置されている。

【0038】このようなデュアルゲートパターン16、17を形成する際には、同時に、第二の活性領域6のうちU字の2つの縦線に対応する領域を通り、しかも、デュアルゲートパターン16、17と直交する方向に延びるワードラインパターン18を形成する。デュアルゲートパターン16、17のうち第一の活性領域5に重なる部分は、図9に示す負荷トランジスタQ₁、Q₂のゲート電極として機能し、また、第二の活性領域6に重なる部分は、駆動トランジスタQ₃、Q₄のゲート電極として機能する。さらに、ワードラインパターン18のうち第二の活性領域6に重なる部分は、転送トランジスタQ₅、Q₆のゲート電極として機能する。

【0039】なお、図1(c)において、2つのワードラインパターン18、19が形成されている。これは、第二の活性領域6と同じ機能を有する別の活性領域が第二の活性領域6に連続して形成されているからであり、そこには、別のSRAMセルのワードライン19が形成されている。次に、MOSトランジスタのLDD構造のソース領域、ドレイン領域を形成する工程に入る。

【0040】図4(b)に示すように、ホウ素のようなp型不純物を第一の活性領域5にイオン注入してソース領域及びドレイン領域の浅いp型不純物拡散層20pを形成する。その不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³である。さらに、砒素、燐のようなn型不純物を第二の活性領域6にイオン注入して浅いn型不純物拡散層20nを形成する。その不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³である。これらのp型及びn型の不純物をイオン注入する際には、フィールド絶縁膜4とデュアルゲートパターン16、17、ワードラインパターン18、19をマスクとして使用する。

【0041】続いて、全体にSiO₂のような絶縁膜をCVD法により1000Åの厚さに形成した後に、図2(a)に示すように、この絶縁膜をRIE法により略垂直エッチングしてデュアルゲートパターン16、17及びワードラインパターン18、19の側面に絶縁性サイドウォール21を形成する。これにより、デュアルゲートパターン16、17及びワードラインパターン18、19のそれぞれの上面と側面は絶縁膜に覆われた状態になる。

【0042】そして、デュアルゲートパターン16、1

7、ワードラインパターン18、19、フィールド絶縁膜4及びサイドウォール21をマスクを使用して、第一の活性領域5にはホウ素のようなp型不純物をイオン注入し、また、第二の活性領域6には燐のようなn型不純物をイオン注入して、それらの領域に図4(c)に示すようなp型不純物拡散層22pとn型不純物拡散層22nを深く形成する。この場合、p型不純物拡散層22pの不純物濃度は 1×10^{20} atoms/cm³、n型不純物拡散層22nの不純物濃度は 1×10^{20} atoms/cm³である。

【0043】なお、p型とn型の不純物を打ち分ける場合には、図示しないフォトレジストのパターンをマスクとして使用する。以上のn型不純物拡散層20n、22nとp型不純物拡散層20p、22pによりLDD構造のソース領域、ドレイン領域が構成され、MOSトランジスタの形成工程が終わる。これにより、負荷トランジスタQ₁、Q₂、駆動トランジスタQ₃、Q₄及び転送トランジスタQ₅、Q₆が第一、第二の活性領域5、6に存在する(図2(a))。

【0044】次に、デュアルゲートパターン16、17上のシリコン窒化膜よりなるサイドウォール12を熱燐酸によって除去し、これにより、図2(b)に示すように、デュアルゲートパターン16、17のシリコン層9を露出するための開口部23を開く。尚、シリコン窒化膜よりなるサイドウォール12の除去は、シリコン層9の表面を酸化してSiO₂膜15を形成した直後に行ってもよい。

【0045】次に、サリサイド技術によってシリコン層の表面にシリサイド層を形成する工程に入る。図5(a)、図6(a)に示すように、各トランジスタを覆うようにCo、Ti、Niその他の金属膜25をスパッタにより形成した後に、その金属膜25を600~700℃で加熱する。これにより、図2(b)、図5(a)、図6(a)に示すように、デュアルゲートパターン16、17を構成するシリコン層9のうちの開口部23から露出した部分の表面と、デュアルゲートパターン16、17及びワードラインパターン18、19に覆われない第一及び第二の活性領域(ソース/ドレイン領域)5、6にあるシリコン層の表面に、それぞれ金属シリサイド層26a~26jを形成する。金属膜25としてTi、Co、Niがあり、そのシリサイドはTiSi₃、CoSi₂、NiSi₂である。これに続いて、図5(b)、図6(b)に示すように、H₂O₂+H₂SO₄混合液によるウェットエッチング法によってシリコンと反応しなかった金属膜25を選択的に除去する。必要なら、その後に第2の熱処理を加えてもよい。

【0046】これにより、シリサイド26a、26bを介してデュアルゲートパターン16、17内のp型不純物領域13とn型不純物領域14が接続され、デュアルゲートが完成する。次に、MOSトランジスタ同士を接続する近接配線の形成工程と、電源配線やビット配線等

に接続されるコンタクトパッドの形成工程に移る。

【0047】PVD法、CVD法等により、MOSトランジスタを覆うTiW、TiN、W、ポリサイド、シリサイド等の導電膜24を形成した後に、この導電膜24をフォトリソグラフィによりパターンニングする。これにより、図2(c)に示すように、負荷トランジスタ Q_1 (Q_2)のドレイン領域 D_1 (D_2)と駆動トランジスタ Q_3 (Q_4)のドレイン領域 D_3 (D_4)を接続して2組のCMOSインバータを構成するための配線27 (28)を形成するとともに、それらの配線27 (28)を自己のMOSインバータのデュアルゲートパターン16 (17)を越えて隣のCMOSインバータのデュアルゲートパターン17 (16)のシリサイド層26b (26a)まで延ばしてクロスカップリングを行う。同時に、2つの負荷トランジスタ Q_1 、 Q_2 の共通なソース領域 S_{12} 及びその周囲と、2つの駆動トランジスタ Q_3 、 Q_4 の共通なソース領域 S_{34} 及びその周囲と、ビット線BL、BLバーが接続される転送トランジスタ Q_5 、 Q_6 のソース/ドレイン領域 S_{D5} 、 S_{D6} 及びその周囲とにそれぞれコンタクトパッド30~33を形成する(図6(c)参照)。

【0048】これらのコンタクトパッド30~33の一部はデュアルゲートパターン16、17やワードラインパターン18、19の一部に重なるが、それらは直に接触することはない。なぜなら、デュアルゲートパターン16、17やワードラインパターン18、19には絶縁膜15、21が形成されているからである。以上のようにSRAMセルを構成する6個のMOSトランジスタの形成とそれらを接続する配線の形成を終えた後に、ビット線、電源配線の接続工程に移る。

【0049】図6(d)に示すように、MOSトランジスタをCVD膜よりなる層間絶縁膜34aで覆った後に、フォトリソグラフィ法により第一の層間絶縁膜34aをパターンニングしてコンタクトホール(不図示)を形成した後に、層間絶縁膜34aの上にタングステンやアルミニウムなどの一層目金属膜をスパッタにより形成し、これをパターンニングして電源配線を形成する。

【0050】次に、第二の層間絶縁膜34bにより電源配線を覆った後に、第一及び第二の層間絶縁膜34a、34bをパターンニングして2つの転送トランジスタ Q_5 、 Q_6 のソース/ドレイン領域 S_{D5} 、 S_{D6} のうちビット線BL、BLバーを接続しようとする領域にコンタクトホール35を形成する。この場合、コンタクトホール35を形成しようとする領域の下にはコンタクトパッド32が形成され、そのコンタクトパッド32の一部はソース/ドレイン領域 S_{D5} 、 S_{D6} に接続されているので、コンタクトホール形成の際の露光マスクなどの位置合わせの余裕が確保されている。

【0051】ビアホール及びコンタクトホール35を形成した後に、第二の層間絶縁膜34bの上とコンタクト

ホール35内に2層目金属を形成し、これをパターニングしてビット線38を形成し、ヴィヤホール及びコンタクトホール35を通して転送トランジスタのソース/ドレイン領域 S_{D5} 、 S_{D6} に接続する。なお、2つの駆動トランジスタ Q_3 、 Q_4 の共通なソース領域 S_{34} の上にはコンタクトホール36を介して V_{SS} 電源配線を、同様にして、2つの負荷トランジスタ Q_5 、 Q_6 の共通なソース領域 S_{12} の上にはコンタクトホール37を介して V_{CC} 電源配線を前記1層目金属膜により形成する(図2(c))。

【0052】それらのコンタクトホール36、37の下には、上記したようにコンタクトパッド30、31が形成されているので、コンタクトホール36、37を形成する際の位置合わせに余裕ができる。ところで、上記したように、デュアルゲートパターン16、17の上面のシリサイド層26a、26bは、自己整合的に形成された幅の狭いサイドウォール12が除去された領域に形成されているので、そのシリサイド層26a、26bの面積は $0.2 \times 0.3 \mu m$ 程度と極めて狭くなる。この結果、シリサイド層26a、26bの面積が小さくなった分だけ、第一の活性領域5と第二の活性領域6の間の距離を小さくしても素子形成に支障がなくなる。これは、SRAMセルの微細化がさらに進むことを意味する。

【0053】また、デュアルゲートパターン16、17のシリサイド層26a、26bの上に形成する耐酸化性のパターンをフォトリソグラフィにより形成することも考えられる。しかし、フォトリソグラフィによれば、レジストパターンの形成工程が加わることになるので、フォトマスクなどの位置合わせ余裕を確保する必要が生じパターンが大きくなるという不都合はある。但し、デュアルゲートにこだわる必要がない場合、つまりシングルゲートの場合には有効な方法となる。

【0054】上記した説明では、1つのSRAMセルの製造工程を説明したが、半導体記憶装置においては、多数のSRAMセルが基板上に形成される。なお、上記した説明では、BSG膜10をパターンニングして第二の活性領域5のシリコン層9を露出するようにしたが、BSG膜10の代わりにPSG膜(不図示)を形成し、このPSG膜をパターンニングして第一の活性領域5側のシリコン層9を露出するようにしてもよい。この場合、そのPSG膜からシリコン層9にリンを拡散するとともに、PSG膜に覆われないシリコン層9にはB、 BF_2 のイオンを注入、拡散する。この場合、サイドウォール12は、PSG膜の側壁に形成する。

(第2実施例)ところで、デュアルゲートパターン16、17のp型不純物領域13とn型不純物領域14の境界にシリサイド層26a、26bを形成する工程においては、その境界でのp型不純物とn型不純物の相互拡散が大きく、上記したサイドウォール12の面積だけでは不十分なこともある。そのような場合には、次のよう

10

20

30

40

50

な工程を採用する。

【0055】まず、図3(b)に示す状態となった後に、図7(a)に示すようにBSG膜10と半導体層9の上にシリコン窒化膜11を積層する。さらに、シリコン窒化膜11とエッチング選択比を異ならせることができる膜、例えばPSG膜40をシリコン窒化膜11の上に形成する。このPSG膜40の膜厚は、p型不純物とn型不純物のそれぞれの拡散長の2倍程度、例えば5000Åの厚さにする。PSG膜40はストレスが小さいので、膜厚を厚くしても悪影響がない。

【0056】次に、図7(b)に示すように、PSG膜40をRIE法により略垂直方向に異方性エッチングし、これにより、BSG膜10の縁部の周囲に生じるシリコン窒化膜11の段差の側面にのみPSG膜40を残存させる。そして、パターニングされたPSG膜40をマスクにしてシリコン窒化膜11をエッチングすると、図7(c)に示すように、BSG膜10の側方にシリコン窒化膜11よりなるサイドウォール12aが形成される。

【0057】この後に、第1実施例で説明した工程に従って、シリコン層9に不純物を導入してp型不純物領域13とn型不純物領域14を形成する。ついで、BSG膜10を除去してから、図7(c)に示すように、サイドウォール12aに覆われないシリコン層9の表面を酸化してSiO₂膜15を形成する。この後に、シリコン層9をパターニングしてデュアルゲートパターン16、17を形成し、続いてサイドウォール12aを除去し、あるいは先にサイドウォール12aを除去した後、デュアルゲートパターン16、17を形成し、露出したシリコン層9の表面に第1実施例の工程に従ってシリサイド層26aを形成する(図7(d))。

【0058】ところで、上記した耐酸化性のサイドウォール12aは、第1実施例のサイドウォール12よりも第二の活性領域6の方に広がっている。これにより、デュアルゲートパターン16、17の上のシリサイド層26a、26bが広がる。この結果、p型不純物とn型不純物の拡散距離が大きくても、シリサイド層26a、26bは、その拡張によりp型不純物領域13とn型不純物領域14の高濃度部分に接続されるので、p型不純物領域13とn型不純物領域14を確実に電氣的に接続する。

(第3実施例) 上記した実施例では、MOSトランジスタのソース領域又はドレイン領域にコンタクトパッド30~33を形成するようにしているが、このようなコンタクトパッド30~33を形成しない場合には、次のように工程を行う。

【0059】まず、負荷トランジスタQ₁、Q₂と駆動トランジスタQ₃、Q₄の接続を終えた後に、図8(a)に示すように、全てのMOSトランジスタを酸化アルミニウム膜(Al₂O₃)41で覆い、続いてSOGよりなる層間絶縁膜34を形成する。次に、図8(b)に示すように

層間絶縁膜34にコンタクトホール35を形成する。その層間絶縁膜34は酸化アルミニウムに対してエッチング選択性があるので、コンタクトホール35を形成する際に、ワードラインパターン18、19やデュアルゲートパターン16、17を覆う絶縁膜15、21が除去されることはない。そして、コンタクトホール35から露出した酸化アルミニウム膜41をスパッタエッチによって選択的に除去すればソース/ドレイン領域SD_sが現れる。また、酸化アルミニウムに代えてシリコンチツ化膜を使用しても同様の効果が期待できる。

(その他の実施例) 上記したコンタクトパッド30~33は、デュアルゲートパターンに接続される配線と同時にパターニングされればよく、デュアルゲートパターンの形成工程に左右されるものではなく、従来の工程により形成されたデュアルゲートパターンに接続される配線と同時にパターニングされてもよい。従来の工程では、前記した開口部23は、通常のフォトリソグラフィ法により形成される。

【0060】また、上記した実施例のデュアルゲートの形成工程は、SRAMセルのCMOSだけではなく、それ以外の半導体装置におけるCMOSのゲートにも適用できる。

【0061】

【発明の効果】本発明によれば、自己整合的に形成された耐酸化性サイドウォールによってシリコンよりなる半導体層のシリサイド形成領域を覆い、この耐酸化性サイドウォールをマスクの一部に使用してp型及びn型の不純物を打ち分け、さらに半導体層をパターニングしてデュアルゲートパターンを形成した後に、耐酸化性サイドウォールをマスクに使用してデュアルゲートパターンの表面を酸化し、ついで耐酸化性サイドウォールを選択的に除去することにより露出した半導体層の表面をシリサイド化するようにしている。

【0062】したがって、デュアルゲートにおいて、シリサイド化する領域の幅は極めて狭くなるので、デュアルゲートの縮小化が可能になり、SRAMセルをさらに微細化できる。しかも、半導体層に不純物イオンを注入する際に使用するマスクの一部や、半導体層の表面の一部を熱酸化する際に使用する耐酸化性マスクとして、自己整合的に形成される耐酸化性サイドウォールを使用しているので、フォトリソグラフィによりマスクを形成する場合に比べてスループットを向上できる。

【0063】また、別の本発明によれば、活性領域のうちコンタクトホールを形成しようとする領域に配置されるコンタクトパッドは、活性領域に形成されるMOSトランジスタのゲート電極パターンの表面に現れるシリサイド層に接続される配線を構成する導電膜から形成している。このため、コンタクトパッドをパターニングする際にシリサイド層はコンタクトパッドと離間されて配置されているため、両者が短絡することはない、しかも、

コンタクトパッドを形成するための新たな工程を加える必要をなくし、コンタクト窓の位置決めをソース/ドレイン拡散層にセルフアライン化することが可能となる。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す平面図（その1）である。

【図2】図2は、本発明の第1実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す平面図（その2）である。

【図3】図3は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のA-A線から見た断面図（その1）である。

【図4】図4は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のA-A線から見た断面図（その2）である。

【図5】図5は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のA-A線から見た断面図（その3）である。

【図6】図6は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のB-B線から見た断面図である。

【図7】図7は、本発明の第2実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す断面図である。

【図8】図8は、本発明の第3実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す断面図である。

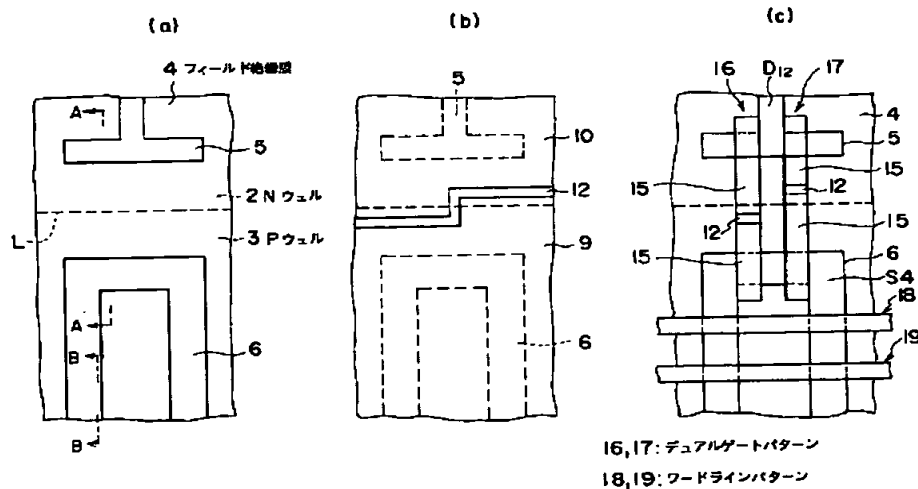
【図9】6個のトランジスタを使用する一般的なSRAMセルの回路図である。

【図10】先行技術を示すSRAMセルの平面図である。

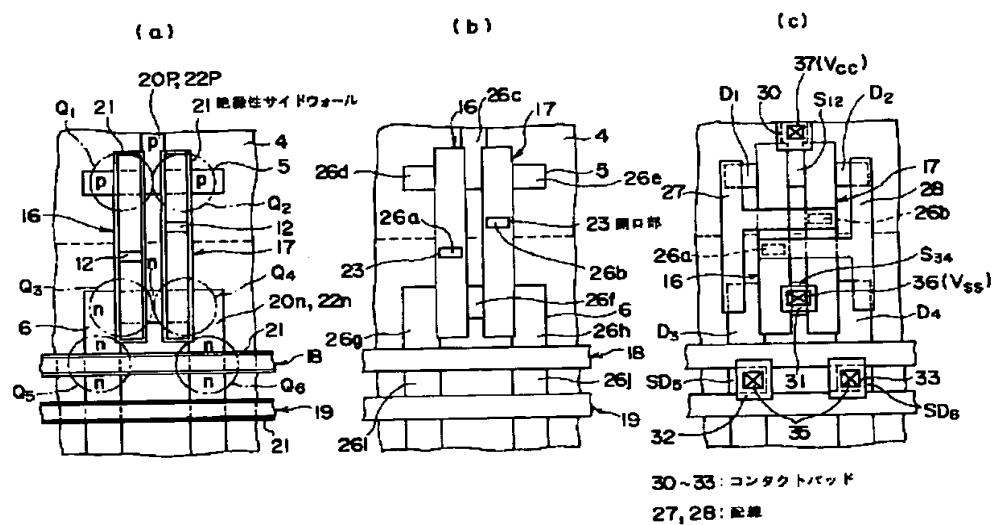
【符号の説明】

- | | |
|---------|-------------------------|
| 1 | シリコン基板（半導体基板） |
| 2 | Nウェル |
| 3 | Pウェル |
| 4 | フィールド絶縁膜 |
| 5 | 第一の活性領域 |
| 6 | 第二の活性領域 |
| 7、8 | ゲート絶縁膜 |
| 9 | シリコン層（半導体層） |
| 10 | BSG膜（絶縁膜） |
| 11 | シリコン窒化膜 |
| 12 | サイドウォール |
| 13 | p型不純物領域 |
| 14 | n型不純物領域 |
| 15 | SiO ₂ 膜（絶縁膜） |
| 16、17 | デュアルゲートパターン |
| 18、19 | ワードラインパターン |
| 20n、22n | n型不純物拡散領域 |
| 20p、22p | p型不純物拡散領域 |
| 21 | サイドウォール |
| 23 | 開口部 |
| 24 | 導電膜 |
| 25 | 高融点金属膜 |
| 26a~26j | シリサイド層 |
| 27 | 配線 |
| 30~33 | コンタクトパッド |
| 34 | 層間絶縁膜 |
| 35~37 | コンタクトホール |
| 38 | ビット線接続 |

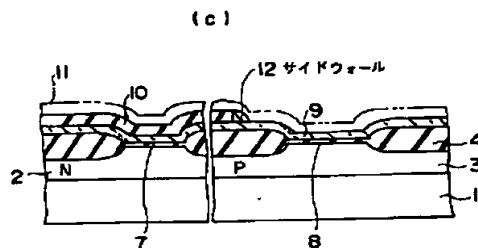
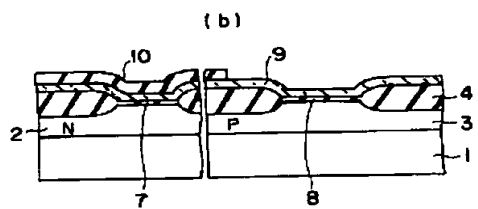
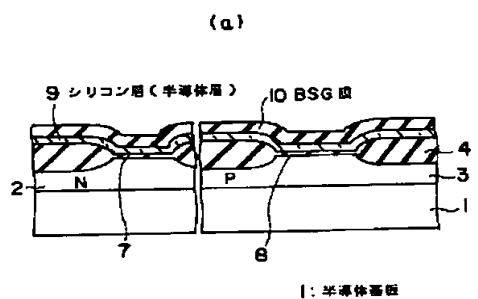
【図1】



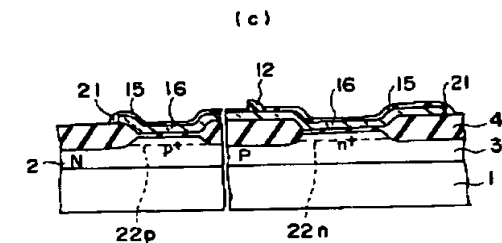
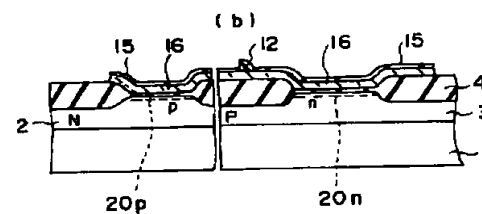
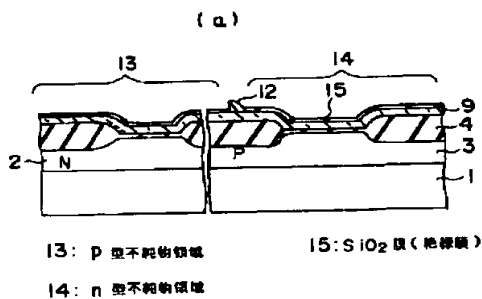
【図 2】



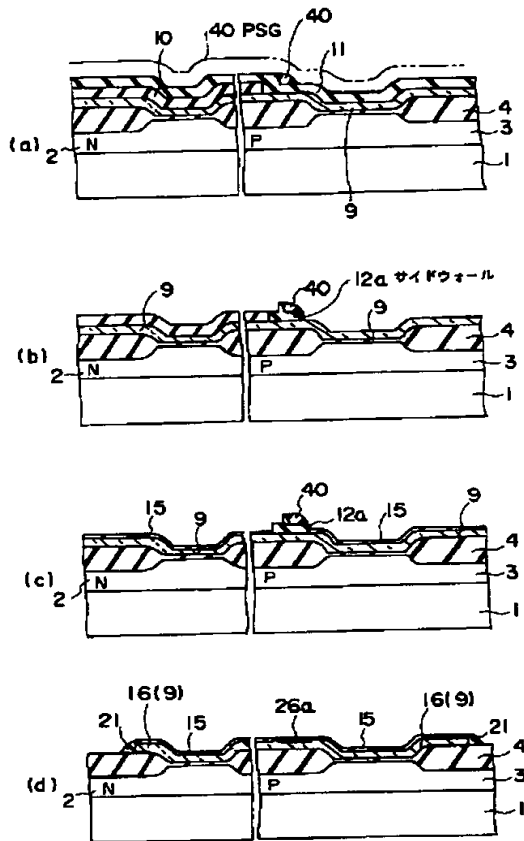
【図 3】



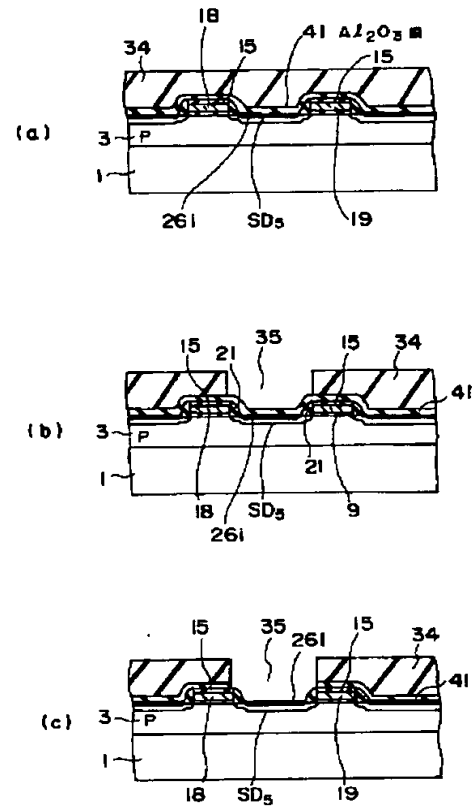
【図 4】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/108

21/8244

27/11

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

7210-4M

H01L 27/10

325 R

381